

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210911

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01S 5/227

H01S 5/343

(21)Application number : 2000-014707

(71)Applicant : NEC CORP

(22)Date of filing : 24.01.2000

(72)Inventor : YAMAZAKI HIROYUKI

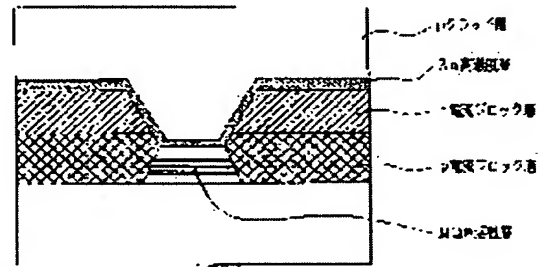
(54) SEMICONDUCTOR LASER, ITS MANUFACTURING METHOD, OPTICAL MODULE USING SEMICONDUCTOR LASER, AND OPTICAL COMMUNICATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor laser which has superior oscillation characteristic by turning a part which is turned into N-type with Si which is deposited on a regrowth interface, captured in crystal and activated, turned into a P-type with Zn of high concentration, and eliminating a high resistance layer which is formed by N-type turning, and has an optical module and an optical communication system.

SOLUTION: A mask pattern, formed of an oxide film for selective MOVPE growth, is formed on InP. Selective MOVPE growth is conducted, by using a patterning substrate, and an active layer and an optical waveguide layer are formed directly. An oxide film is formed only on a mesa top which is selectively grown by a self alignment process, and a current block layer is grown.

After the oxide film is eliminated, a P-clad layer is grown. However, in this case, Si of high concentration is deposited on the P-clad layer and a P-clad layer interface directly below the oxide film, these layers are turned into N-type, positive holes which flowed into a P-block layer are injected effectively into the active layer, and a semiconductor laser having superior oscillation characteristic can be realized.



LEGAL STATUS

[Date of request for examination] 12.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3339486

[Date of registration] 16.08.2002

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3339486号

(P3339486)

(45) 発行日 平成14年10月28日 (2002. 10. 28)

(24) 登録日 平成14年 8 月16日 (2002. 8. 16)

(51) Int.Cl.⁷

H 0 1 S 5/227

識別記号

F I

H 0 1 S 5/227

請求項の数10(全 8 頁)

(21) 出願番号 特願2000-14707(P2000-14707)
(22) 出願日 平成12年 1 月24日 (2000. 1. 24)
(65) 公開番号 特開2001-210911(P2001-210911A)
(43) 公開日 平成13年 8 月 3 日 (2001. 8. 3)
審査請求日 平成12年12月12日 (2000. 12. 12)

(73) 特許権者 000004237
日本電気株式会社
東京都港区芝五丁目 7 番 1 号
(72) 発明者 山崎 裕幸
東京都港区芝五丁目 7 番 1 号 日本電気
株式会社内
(74) 代理人 100070530
弁理士 畑 泰之

審査官 吉野 三寛

(56) 参考文献 特開 平 5 - 90707 (J P, A)
特開 平 7 - 7232 (J P, A)

(58) 調査した分野(Int.Cl.⁷, D B 名)
H01S 5/00 - 5/50

(54) 【発明の名称】 半導体レーザとその製造方法及び半導体レーザを用いた光モジュール及び光通信システム

1

(57) 【特許請求の範囲】

【請求項 1】 二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも 1 層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザにおいて、

前記エネルギーギャップの小さな半導体層上に形成された第 1 の P-I n P クラッド層と、前記第 1 の P-I n P 層上に形成された第 2 の P-I n P クラッド層と、前記第 2 の P-I n P クラッド層上に形成された第 3 の P-I n P クラッド層とを有し、
前記第 2 の P-I n P クラッド層は、前記第 1 の P-I

2

n P クラッド層に接して 0. 2 μ m 以下の厚さで形成され、且つ、前記第 2 の P-I n P クラッド層内の Z n のドーピング濃度が前記第 3 の P-I n P クラッド層の 1. 5 倍以上 5 倍以下であることを特徴とする半導体レーザ。

【請求項 2】 二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも 1 層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザの製造方法において、

前記エネルギーギャップの小さな半導体層上に形成された第 1 の P-I n P クラッド層上に、Z n を含むガスを

10

3

用いてZnをドーピングしながら、第2のP-I n Pクラッド層、第3のP-I n Pクラッド層を順次形成し、前記第2のP-I n Pクラッド層は、前記第1のP-I n Pクラッド層に接して0.2 μ m以下の厚さでZnがドーピングされ、且つ、前記第2のP-I n Pクラッド層内のZnのドーピング濃度が、前記第3のP-I n Pクラッド層の1.5倍以上5倍以下であることを特徴とする半導体レーザの製造方法。

【請求項3】 前記エネルギーギャップの小さな半導体層両脇にp n p nサイリスタを有する電流狭窄構造を有し、注入された電流を効果的に前記エネルギーギャップの小さな半導体層に集中させることを特徴とする請求項1記載の半導体レーザ。

【請求項4】 前記エネルギーバンドギャップの小さな半導体層が量子井戸もしくは多重量子井戸構造となっていることを特徴とする請求項1記載の半導体レーザ。

【請求項5】 選択成長により形成される光導波路の側壁が(111)結晶面であることを特徴とする請求項1記載の半導体レーザ。

【請求項6】 動作波長が0.3~1.7 μ mであることを特徴とする請求項1記載の半導体レーザ。

【請求項7】 光導波路が設けられ、この光導波路が埋め込み型であることを特徴とする請求項1記載の半導体レーザ。

【請求項8】 前記半導体レーザが分布帰還型半導体レーザ又は分布反射型半導体レーザであり、テーパ導波路、光変調器、光検出器、光スイッチ、光導波路のうち、少なくとも一つが一体的に形成されていることを特徴とする請求項1記載の半導体レーザ。

【請求項9】 二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも1層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザを含む光モジュールにおいて、

前記エネルギーギャップの小さな半導体層上に形成された第1のP-I n Pクラッド層と、前記第1のP-I n P層上に形成された第2のP-I n Pクラッド層と、前記第2のP-I n Pクラッド層上に形成された第3のP-I n Pクラッド層とを有し、前記第2のP-I n Pクラッド層は、前記第1のP-I n Pクラッド層に接して0.2 μ m以下の厚さで形成され、且つ、前記第2のP-I n Pクラッド層内のZnのドーピング濃度が前記第3のP-I n Pクラッド層の1.5倍以上5倍以下である半導体レーザを少なくとも一個用いて形成したことを特徴とする光モジュール。

【請求項10】 二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層

4

を少なくとも1層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザを用いた光通信システムにおいて、

前記エネルギーギャップの小さな半導体層上に形成された第1のP-I n Pクラッド層と、前記第1のP-I n P層上に形成された第2のP-I n Pクラッド層と、前記第2のP-I n Pクラッド層上に形成された第3のP-I n Pクラッド層とを有し、前記第2のP-I n Pクラッド層は、前記第1のP-I n Pクラッド層に接して0.2 μ m以下の厚さで形成され、且つ、前記第2のP-I n Pクラッド層内のZnのドーピング濃度が前記第3のP-I n Pクラッド層の1.5倍以上5倍以下である半導体レーザを少なくとも一個用いて形成したことを特徴とする光通信システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体レーザ、半導体光集積素子、光モジュールおよび光通信システムに関する。

【0002】

【従来技術】埋め込み型半導体レーザは単一モード光ファイバとの高効率結合が可能なこと、並びに優れた発振特性を有していることから、波長1.3~1.55 μ mの光通信用光源として広く使われている。特に、駆動電流低減の観点から、半導体レーザに対しての高スロープ効率動作の要求は強い。

【0003】半導体レーザにおいて高スロープ効率動作を実現するには、漏れ電流と吸収損失の低減が必要である。前者に関しては、p n p nサイリスタや高抵抗半導体を電流ブロック層として採用し、良好な発振特性を実現している。特に、p n p nサイリスタによる電流狭窄構造は、ドーバントの変更のみで比較的容易に電流狭窄構造の形成が可能であり、加えてその高い耐圧特性から広く用いられている。一方、後者に関しては、歪み量子井戸構造の導入による低損失な導波路が実現されている。これは、量子井戸構造のウェル層に面内圧縮歪みを導入することで価電子帯のバンド構造が変化し、これにより長波域での吸収を大きく低減できるものである。

【0004】これら半導体レーザを作製する際、これらの結晶成長には有機金属気相成長法(MOVPE; Metal Organic Vapor Phase Epitaxy)が最も多く用いられている。これは結晶品質の面内均一性、再現性が優れていること、並びに高品質な多重量子井戸(MQW)層が成長可能なことによる。

【0005】これらの結晶成長技術、活性層への量子井戸/歪量子井戸構造の導入、優れた電流狭窄構造を有する埋め込み構造により、半導体レーザの発振特性は大幅

に向上した。現在では閾値電流が数mAといった高性能な半導体レーザも実用化されている。

【0006】しかしながら、半導体レーザの作製時には、複数回のMOVPE成長が必要であり、この場合の再成長界面に析出される高濃度のSiが発振特性に与える影響が懸念される。再成長界面での高濃度Siは大気中に存在するものやエッチャントに混入したものが半導体表面に析出し、これが再成長時に結晶中に取り込まれると考えられる。再成長界面に高濃度のSiがドーピングされた場合の発振特性予測を図2により説明する。

【0007】通常の埋め込み型半導体レーザは、3回の結晶成長工程により作製される。そのため二つの再成長界面を有し、この部分のSi濃度が上昇する。図2中の再成長界面1並びに再成長界面2がその部分である。ただし、n-InP電流ブロック層やn-InP基板と接している再成長界面は同じドナードーピングであるため発振特性ならびに電気特性に与える影響は少ない。図中太い実線で示した再成長界面1で、特に活性層直上部分は、p層中に高濃度のドナードーピング層が挿入され、高抵抗化し、漏れ電流を著しく増加させる。漏れ電流は、電流ブロック層のベース電流となり、ブロック層の耐圧を低下させ、光出力の低下を招く。一方、再成長界面2の部分では、n-InP基板と接している部分は問題ないものの、活性層側壁、並びにp-InP層と接している再成長界面は、発振/電気特性に多大な影響を及ぼす。これは側壁に沿って電気抵抗の低いSiパイルアップ層が存在すると、これに沿って漏れ電流が流れ、スロープ効率が低下するためである。

【0008】このように、再成長界面のSi濃度と半導体レーザの発振特性は密接な関係にあり、発振特性を向上させるには、何らかの方法によりn転している層をp反転させ、高抵抗層や漏れ電流リークパスを除去する必要がある。

【0009】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、再成長界面のSiパイルアップによりn転した部分を再びp反転させることで、発振特性を向上させる新規な半導体レーザとその製造方法を提供することにある。

【0010】更には、同素子を用いて安価な光モジュール、光通信システムを実現することにある。

【0011】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。

【0012】即ち、本発明に係わる半導体レーザの第1態様は、二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも1層以上有し、前記エネルギーギャップの小さな半

導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザにおいて、前記エネルギーギャップの小さな半導体層上に形成された第1のP-InPクラッド層と、前記第1のP-InP層上に形成された第2のP-InPクラッド層と、前記第2のP-InPクラッド層上に形成された第3のP-InPクラッド層とを有し、前記第2のP-InPクラッド層は、前記第1のP-InPクラッド層に接して0.2μm以下の厚さで形成され、且つ、前記第2のP-InPクラッド層内のZnのドーピング濃度が前記第3のP-InPクラッド層の1.5倍以上5倍以下であることを特徴とするものであり、又、第2態様は、前記エネルギーギャップの小さな半導体層両脇にpnpnサイリスタを有する電流狭窄構造を有し、注入された電流を効果的に前記エネルギーギャップの小さな半導体層に集中させることを特徴とするものであり、又、第3態様は、前記エネルギーバンドギャップの小さな半導体層が量子井戸もしくは多重量子井戸構造となっていることを特徴とするものであり、又、第4態様は、選択成長により形成される光導波路の側壁が(111)結晶面であることを特徴とするものであり、又、第5態様は、動作波長が0.3~1.7μmであることを特徴とするものであり、又、第6態様は、光導波路が埋め込み型であることを特徴とするものであり、又、第7態様は、前記半導体レーザが分布帰還型半導体レーザ又は分布反射型半導体レーザであり、テーパー導波路、光変調器、光検出器、光スイッチ、光導波路のうち、少なくとも一つが一体的に形成されていることを特徴とするものである。

【0013】また、本発明に係わる半導体レーザの製造方法の態様は、二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも1層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザの製造方法において、前記エネルギーギャップの小さな半導体層上に形成された第1のP-InPクラッド層上に、Znを含むガスを用いてZnをドーピングしながら、第2のP-InPクラッド層、第3のP-InPクラッド層を順次形成し、前記第2のP-InPクラッド層は、前記第1のP-InPクラッド層に接して0.2μm以下の厚さでZnがドーピングされ、且つ、前記第2のP-InPクラッド層内のZnのドーピング濃度が、前記第3のP-InPクラッド層の1.5倍以上5倍以下であることを特徴とするものである。

【0014】また、本発明に係わる光モジュールの態様は、二つの異なる導電型半導体間に前記導電型半導体よ

りもエネルギーギャップの小さな半導体層を少なくとも1層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザを含む光モジュールにおいて、前記エネルギーギャップの小さな半導体層上に形成された第1のP-InPクラッド層と、前記第1のP-InP層上に形成された第2のP-InPクラッド層と、前記第2のP-InPクラッド層上に形成された第3のP-InPクラッド層とを有し、前記第2のP-InPクラッド層は、前記第1のP-InPクラッド層に接して0.2 μm 以下の厚さで形成され、且つ、前記第2のP-InPクラッド層内のZnのドーピング濃度が前記第3のP-InPクラッド層の1.5倍以上5倍以下である半導体レーザを少なくとも一個用いて形成したことを特徴とするものである。

【0015】また、本発明に係わる光通信システムの態様は、二つの異なる導電型半導体間に前記導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも1層以上有し、前記エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体層の遷移波長にてレーザ発振する半導体レーザを用いた光通信システムにおいて、前記エネルギーギャップの小さな半導体層上に形成された第1のP-InPクラッド層と、前記第1のP-InP層上に形成された第2のP-InPクラッド層と、前記第2のP-InPクラッド層上に形成された第3のP-InPクラッド層とを有し、前記第2のP-InPクラッド層は、前記第1のP-InPクラッド層に接して0.2 μm 以下の厚さで形成され、且つ、前記第2のP-InPクラッド層内のZnのドーピング濃度が前記第3のP-InPクラッド層の1.5倍以上5倍以下である半導体レーザを少なくとも一個用いて形成したことを特徴とするものである。

【0016】

【発明の実施の形態】本発明に係わる半導体レーザは、二つの異なる導電型半導体間に該導電型半導体よりもエネルギーギャップの小さな半導体層を少なくとも1層以上有し、該エネルギーギャップの小さな半導体層は少なくとも導電型半導体、半絶縁型半導体、若しくは絶縁型半導体により囲まれており、電流注入を行うことで前記エネルギーギャップの小さな半導体の遷移波長にてレーザ発振する半導体レーザにおいて、該エネルギーギャップの小さな半導体層近傍1 μm 以内において、該導電型半導体中のドーピング濃度が、厚さ0.2 μm 以下の範囲で、該導電型半導体の他の部分よりも1.5倍以上5倍以下であることを特徴とするものである。

【0017】本発明によれば、再成長界面に析出したS

iは再成長時に結晶中にドナードーパントとして取り込まれる。ここでは先ず、再成長界面にドナードーパントが存在する場合の発振特性に与える影響に関して定量的に検討する。発振特性の解析には市販のLDシミュレータを用いた。これは、電流連続方程式、ポアソン方程式、レート方程式をself-consistentに解くものである。解析に用いたメッシュパターンを図3に示す。非線形性の強い活性層やpn接合周辺はメッシュ間隔を細かくして解の精度が落ちないように留意した。図4に内部微分量子効率 η_i の再成長界面濃度依存性を示す。本解析においては、図2中再成長界面1の活性層直上部分の濃度をp型からn型まで変化させて、発振特性の解析を行った。また、再成長界面にて濃度変化が生じている厚さは、SIMS (Secondary Ion Mass Spectroscopy ; 二次イオン質量分析計) 分析から0.1 μm 程度と判明しているので、本解析においてもこれを採用し、計算を行った。図中、丸印は、スロープ効率の共振器長依存性から求めた内部微分量子効率 η_i の測定結果を示し、実線は、計算結果を示す。両者はよく一致し、再成長界面がp型であれば発振特性に与える影響は少ないが、一方n型であると内部微分量子効率が低下し、これに伴いスロープ効率が減少する傾向を示す。pクラッド層中である活性層の直上にn型の層が形成されると、その部分が高抵抗化され、活性層への正孔の注入が阻害される。さらに阻害された正孔は、p電流ブロック層にベース電流として流れ込み、電流ブロック層を通過する漏れ電流を増加させ、光出力飽和が顕著な発振特性となることが予測される。

【0018】再成長界面でのSi濃度を低減させる方法として、GaAs系ではAsH₃を大流量流しての長時間待機が広く行われている。これはAsH₃に含まれているH+ラジカルが、表面に付着したSiを吸着し取り去るとの説が有力である。しかし、同方法は、Asを含まないInPの再成長待機では結晶中のInが抜け、さらに、再成長界面に短波長組成のInAsPが形成されることから望ましくない。InPの成長待機にはPH₃での高温/長時間待機により再成長界面でのSi濃度を低減できるとの報告もあるが(H. Ishikawa, et al., Journal of Applied Physics, Vol. 71, p.3898,1992)、待機温度が700℃と高く、再成長界面での結晶性低下が懸念される。

【0019】本発明では、これまで行われてきた再成長時の特殊な成長前待機を行うことなく、再成長界面でのSi濃度を実効的に低下させ、良好な発振特性を有する半導体レーザを実現する。具体的には、再成長界面に付着した高濃度のSiによりn型となった部分に高濃度のZnをドーピングしてp型とする事の特徴とする。再成長界面付近にてn反転する領域はSIMS分析から0.1 μm 以下であり、これよりも厚い0.2 μm の領域に高濃度のZnをドーピングすることでn型となっている

高抵抗層をp型として活性層に有効に正孔が注入可能な構造とする。これにより高スロープ効率にて発振する優れた特性の半導体レーザを実現する。

【0020】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0021】（実施例1）本発明の第1の実施例の作製方法を図5、図6に示した製造工程に沿って説明する。

【0022】まず、n-InP基板3の(001)面上に熱CVD法により厚さ100nmのSiO₂膜からなる成長阻止膜2を堆積する。続いてフォトリソグラフィ工程により、選択MOVPEに用いるレジストパターンを形成する。希釈した弗酸により成長阻止膜2をエッチングし、成長に用いる基板が完成する。ここで成長阻止膜2の幅は5μmとし、また対向する成長阻止膜間の間隙部分4の幅は1.5μmとした。選択MOVPEによりn-InPクラッド層を100nm、1.1μm波長組成のInGaAsPよりなる第一のSCH層を50nm、MQW（多重量子井戸）層、1.1μm波長組成InGaAsPよりなる第二のSCH層を50nm、p-InPクラッド層を100nmを順次エピタキシャル成長する。MQW層1は、1.4μm波長組成InGaAsPよりなる井戸層とその間に挟まれる1.1μm波長組成InGaAsPよりなる障壁層から構成されたもので、周期は7、井戸層の厚さは7nm、障壁層の厚さは10nmとし、発振波長が1.3μmとなる様に設計した。それらの層の結晶は、成長阻止膜2上には成長せず、この間隙部分4のn-InP基板3上に選択的に成長する。MQW層1を有する導波路を選択成長した後、弗酸にてSiO₂膜からなる成長阻止膜2を除去する。これを図5(b)に示す。再び全面にSiO₂膜による成長阻止膜を堆積させる。その後、セルフアラインプロセスにより、直接形成した導波路の頂上のみ成長阻止膜2が形成されるように、他の成長阻止膜は、弗酸により除去する。これを図5(c)に示す。この成長阻止膜2をマスクにして、再びMOVPE成長を行い、p-InP電流ブロック層6を0.7μmとn-InP電流ブロック層5を0.7μm順次形成する。これを図6

(a)に示す。次に、成長阻止膜2を除去してから、p-InPクラッド層8を形成する。p-InPクラッド層8成長の際には、活性層直上に析出したSiによるp-InPクラッド層8中のn反転を防ぐため、再成長界面から0.2μmの厚さを $2 \times 10^{18} \text{ cm}^{-3}$ のZnドーピングとし、それ以降のp-InPクラッド層8は、 $1 \times 10^{18} \text{ cm}^{-3}$ として3μm成長する。再成長界面付近のZn濃度を高める程活性層へ有効に電流が注入される。しかし、Zn濃度が高すぎる場合は、吸収損失が増加し、発振特性の低下が懸念される。更に、再成長界面近傍の活性層へのZn拡散とこれによる発振特性の低下も懸念されることから、この上限としては、

実験の結果、他の部分の5倍程度が適当であった。一方、1.5倍以下の場合、所定のスロープ効率を得られなかった。図1は、本発明のpドーピングプロファイルを示した断面構造図である。両面にTiAuからなるp電極7とn電極9とを形成後、430℃での電極アロイを行い素子が完成する。これを図6(b)に示す。

【0023】素子長を300μmとして切り出し、後端面に95%のコーティングを施し、発振特性を評価した。室温での閾値電流は2.5mA、スロープ効率は0.55W/A、また、85℃においても閾値電流は10mA、スロープ効率は0.45W/Aと良好な発振特性を実現した。スロープ効率の共振器長依存性から評価した内部微分量子効率は理論限界の100%を実現し、また、内部吸収損失は 10 cm^{-1} と比較的光閉じ込めが強い構造であるにも関わらず、低い値を実現した。

【0024】（実施例2）次に、同一共振器内に導波路厚が変化したテーパ導波路を集積した素子(SSC-LD)を作製した場合の実施例について述べる。素子構造を図7に示す。作製プロセスは実施例1とほぼ同じで、異なる点は出射端に向かって導波路厚が薄くなっていくテーパ導波路部と半導体レーザ部を一括形成する部分である。MQW活性層1とテーパ導波路層を酸化膜マスクの間隙部分に選択MOVPEにより一括形成する。選択成長に用いた成長阻止膜2のパターンを図8に示す。半導体レーザ部の長さは300μm、テーパ導波路部の長さは200μmとした。半導体レーザ部での成長阻止膜幅は50μm、テーパ導波路部分での成長阻止膜幅は50μmから出射端に向かって5μmに狭くするパターンとした。このように成長阻止膜幅2を出射端に向けて狭くするパターンを採用することで、間隙部分の成長レートが減少し、導波路厚が出射端に向かって薄くなっていくテーパ構造を作り込むことができる。またテーパ導波路の側面は(111)結晶面となるため散乱損失の低い導波路が得られる。活性層であるMQW層1とテーパ導波路層を一括形成した後は実施例1と同じ素子作製プロセスにて、SSC-LDを作製することができる。なお、p電極7は、発光部分とテーパ導波路の一部まで形成し、テーパ導波路の一部に電流注入を行う構造とし、ここでの吸収損失の増加を防いだ。

【0025】25℃、85℃での閾値電流はそれぞれ4mA、12mAと低い特性を実現した。85℃-10mWの駆動電流は40mAと低く、温度制御の必要ない光モジュール実現に目処をつけることできた。テーパ導波路の集積により放射角は通常の半導体レーザの33°、35°から10°と狭く、スポットサイズの直径が10μmのシングルモードファイバとの最小結合損失は1.5dBと良好な結合特性も同時に実現した。

【0026】（実施例3）

次に、回折格子を有する分布帰還型半導体レーザと電界吸収型変調器を集積した素子(EML:Electroabsorption

Modulator Integrated Laser) の作製方法について述べる。実施例1と大きく異なる部分は、選択MOVPEに用いる成長阻止膜2のパターンである。図9に活性層1と吸収層を一括形成するのに用いるマスクパターンを示す。分布帰還半導体レーザ部の共振器長は300 μ m、また変調器部の長さは200 μ mとした。成長阻止膜幅は回折格子基板上に形成される分布帰還半導体レーザ部で50 μ m、変調器部で30 μ m一定とした。活性層1と吸収層は幅1.5 μ mの間隙部に選択MOVPEにより一括形成する。成長阻止膜幅の変化による波長シフトは70nmであり、電界吸収型変調器として適した波長シフト量となるよう設計した。選択MOVPEの後には、実施例1と同じ素子作製プロセスにてEMLを作製することができる。ただし、分布帰還半導体レーザ部と変調器部の両者間に電氣的に独立な電極を形成した。また、電流ブロック層には、FeドープInP高抵抗層を用いた。

【0027】本実施例により作製したEMLは、閾値電流3mAで発振した。吸収層に2V印加した場合の消光比は20dBと良好であった。2.5Gb変調時も良好なアイ開口が得られた。同集積素子を用いて600kmのノーマルファイバ伝送実験を行ったところ、パワーペナルティとして0.5dBの小さい値を得た。

【0028】(実施例4)図10は、実施例2によるSSC-LD17をPLC基板15上にパッシブアライメント実装した光モジュールの構成図である。パッシブアライメント実装は、素子に付けられた電極パターンとPLC基板のパターンとを画像認識により一致させることで素子をPLC基板15上に配置する技術で、従来行われていた光軸調整をすることなく、素子と導波路とを結合する方法であり、実装コストを大きく低減させるものとして注目を集めている。PLC基板15にはY分岐導波路18が形成されており、このY分岐導波路18の一方にはSSC-LD17が、もう一方には受光素子19が実装される構成になっている。PLC基板15の導波路16とSSC-LD17との結合損失は4dBであり、パッシブアライメント実装による過剰損失は僅か1.3dBに抑えることができた。本発明による半導体レーザは発振特性が大幅に改善されおり、同時に高温動作特性も優れていることから、従来半導体レーザで行われていた温度制御が不要となっている。このため、光モジュールを非常に安価に構成することが可能となった。

【0029】(実施例5)図11は、実施例4にて示した本発明の素子を実装した光モジュール20を光通信システムに適用した構成を示すものである。サーバとクライアントとは8~32分岐のスターカップラ21を通して1本の光ファイバ22で接続されている。本発明により、安価な光モジュール20を実現することが可能となるため、LAN等の通信システムを安価に実現することができる。

【0030】(実施例6)実施例1では、MQW層を選択MOVPE成長により形成した。本発明は、実施例1に示した構造以外でも通常行われているSiO₂をマスクにしてウエットエッチング、またはドライエッチングにて導波路を形成する構造においても有効である。この場合は、最初にn-InP基板にMQW層、もしくはバルク層からなる発光部分を結晶成長する。つづいて、導波路を形成するために、幅1.5 μ mのストライプをSiO₂により基板上に形成した後、エッチングにより導波路を形成する。その後、再度SiO₂をマスクにして、MOVPE成長によりp電流ブロック層とn電流ブロック層を順次成長し、SiO₂を除去の後基板全面にp-InPクラッド層を成長させ、通常の電極プロセスを経て素子が完成する。また、電流ブロック層とp-InPクラッド層形成に際しては、MOVPEに限らず、LPE(Liquid Phase Epitaxy; 液相エピタキシ)を用いても素子作製ができる。実施例1と同様の共振器長並びに端面構造として素子を評価したところ、ほぼ同等の発振特性を実現できた。

【0031】(その他の実施例)本発明では、半導体レーザ部と回折格子が形成されたブラッグ導波路を集積したDBRレーザ構造としても良い。半導体レーザ部に回折格子を形成する分布帰還半導体レーザ構造としてもよい。さらに、上記した実施例では、MQWをInGaAsP/InP系材料によって構成しているが、AlGaAs/GaAs系材料、AlGaInP/GaInP系材料、ZnSe系、GaN系その他の化合物半導体材料を使用したものであってもよい。

【0032】

【発明の効果】本発明は、活性層直上の再成長界面に形成されるn反転した層を高濃度のZnによりp型とすることで、活性層に正孔を有効に注入し、良好な発振特性を実現するものである。これにより従来構造ではpブロック層に注入されて、ブロック層の耐圧を低下させていた漏れ電流が減少することから、良好な高出力特性も同時に期待できる。さらに、本発明によるレーザ構造は、ファブリ・ペロー型半導体レーザ、半導体レーザアンプや分布帰還型半導体レーザ等の単体素子に限らず、変調器集積化光源、分布ブラッグ反射型半導体レーザといった多くの構造に適用可能な利点を併せ持つ。

【図面の簡単な説明】

【図1】本発明の実施例を示す半導体レーザの構造図である。

【図2】従来技術の半導体レーザの構造図である。

【図3】発振特性解析に用いたメッシュパターンである。

【図4】内部微分量子効率の計算結果である。

【図5】本発明による半導体レーザの作製工程を説明する図である。

50 【図6】図5の続きの工程を示す図である。

【図7】SSC-LDの構造図である。

【図8】SSC-LDの成長阻止膜パターンである。

【図9】DFB/MODの成長阻止膜パターンである。

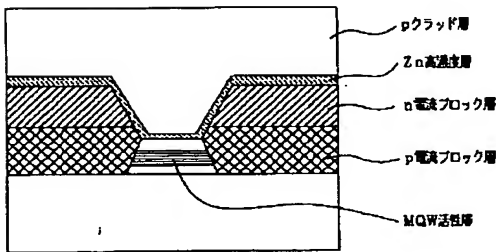
【図10】本発明による光モジュールの構成を示す図である。

【図11】本発明による光通信システムの構成を示す図である。

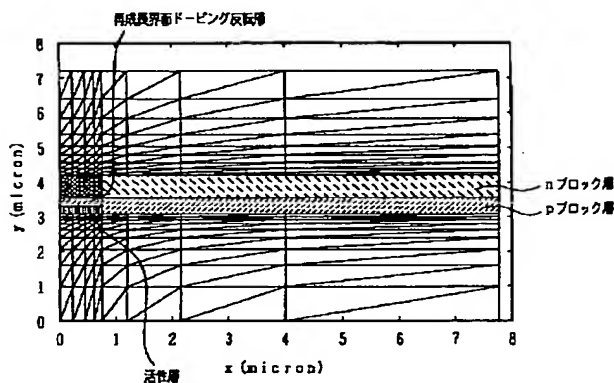
【符号の説明】

- 1 MQW層
- 2 成長阻止膜
- 3 n-InP基板
- 4 間隙部分
- 5 n-InP電流ブロック層
- 6 p-InP電流ブロック層
- 7 p電極

【図1】



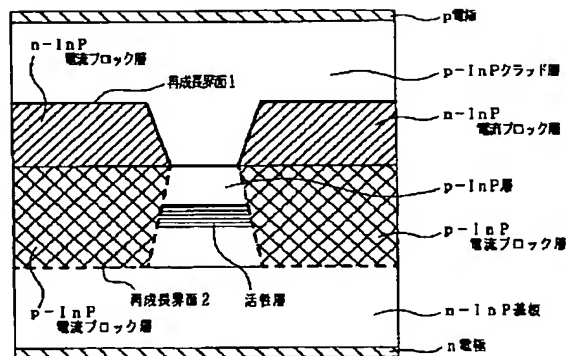
【図3】



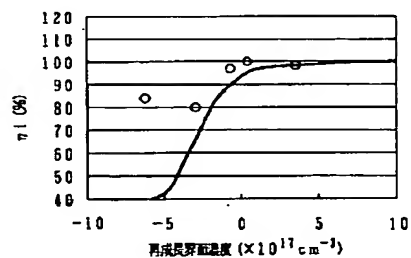
- 8 p-InPクラッド層
- 9 n電極
- 10 酸化膜
- 11 pキャップ層
- 12 回折格子
- 15 PLC基板
- 16 導波路
- 17 SSC-LD
- 18 Y分岐導波路
- 19 受光素子
- 20 光モジュール
- 21 スターカップラ
- 22 光ファイバ
- 23 PC

10

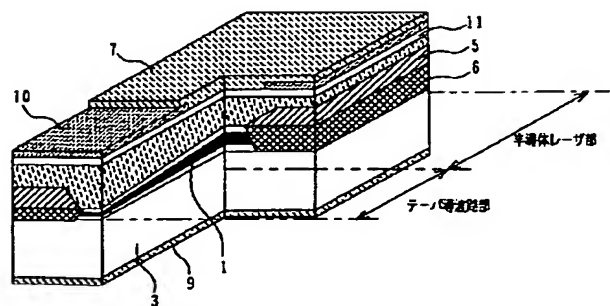
【図2】



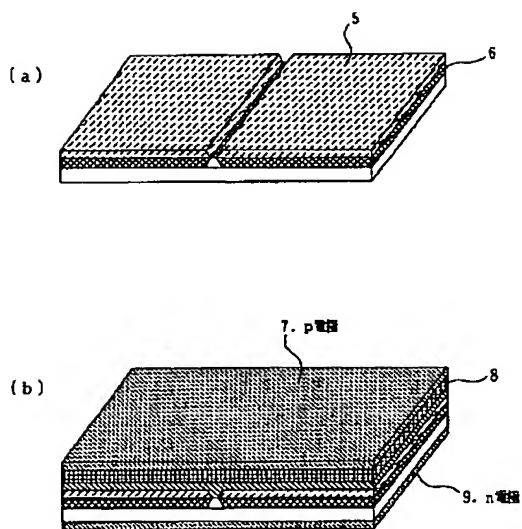
【図4】



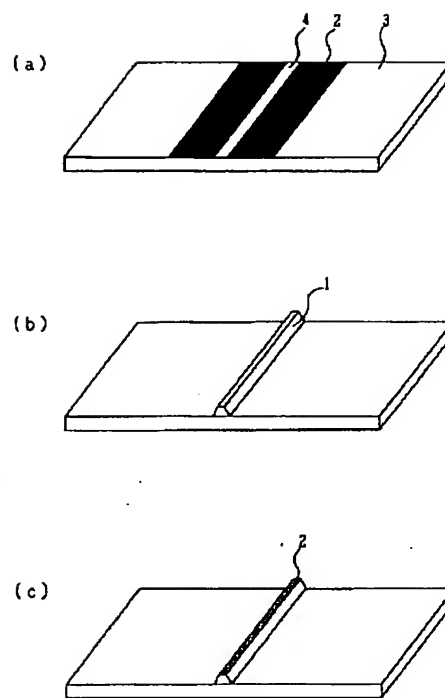
【図7】



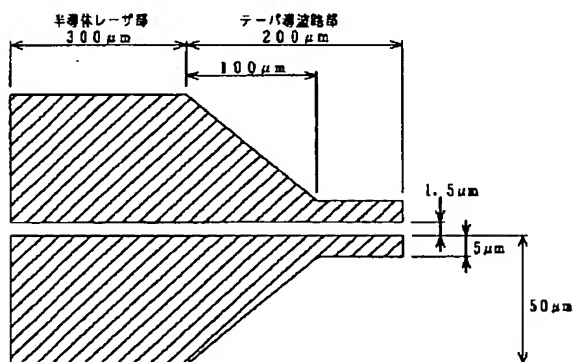
【図6】



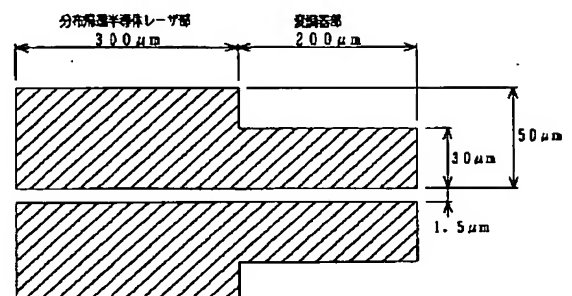
【図5】



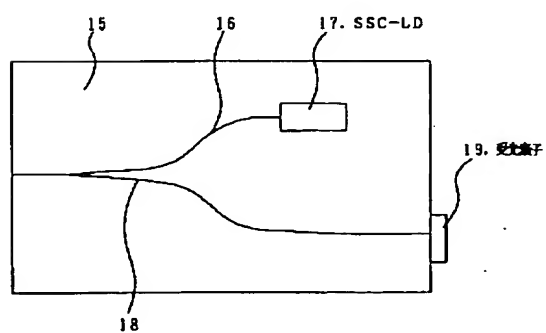
【図8】



【図9】



【図10】



【図11】

